

LIM, Kyoung-Moon et al.
June 26, 2003
BSKB, LLP
(703) 205-8000
(202) 1717P
1 of 1

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0082671
Application Number PATENT-2002-0082671

출원년월일 : 2002년 12월 23일
Date of Application DEC 23, 2002

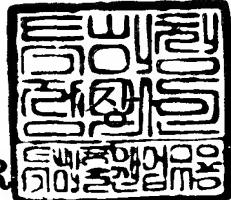
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003년 02월 06일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0007		
【제출일자】	2002. 12. 23		
【국제특허분류】	G02F 1/133		
【발명의 명칭】	평판 표시장치의 구동회로		
【발명의 영문명칭】	DRIVING CIRCUIT FOR FLAT PANEL DISPLAY		
【출원인】			
【명칭】	엘지 .필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	박장원		
【대리인코드】	9-1998-000202-3		
【포괄위임등록번호】	1999-055150-5		
【발명자】			
【성명의 국문표기】	임경문		
【성명의 영문표기】	LIM,Kyoung Moon		
【주민등록번호】	640330-1231722		
【우편번호】	423-060		
【주소】	경기도 광명시 하안동 주공아파트 10단지 1014동 805호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 원 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	9	면	9,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	38,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 평판 표시장치의 구동회로에 관한 것으로, 전압-전류 변환부를 다결정 실리콘 박막 트랜지스터로 구현하고, 기준전류를 전류미러 방식으로 분배함에 따라 데이터 구동부의 다른 구성요소들과 함께 표시패널에 내장할 수 있게 되어 종래에서와 같이 데이터 구동부를 테이프 캐리어 패키지 방식으로 표시패널에 부착하는 공정이 별도로 요구되지 않고, 유기 전계발광 표시장치의 제작을 단순화할 수 있게 된다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

평판 표시장치의 구동회로(DRIVING CIRCUIT FOR FLAT PANEL DISPLAY)

【도면의 간단한 설명】

도1은 일반적인 액티브 매트릭스형 유기 전계발광 표시장치의 개략적인 구성을 보인 예시도.

도2는 도1에 있어서, 데이터 구동부의 내부 블럭구성을 보인 예시도.

도3은 본 발명에 의한 평판 표시장치의 구동회로가 유기 전계발광 표시장치에 적용된 제1실시예를 보인 예시도.

도4는 도3에 있어서, 화상 표시부의 단위 화소에 대한 등가회로를 보인 예시도.

도5는 도4에 있어서, 데이터 라인에 화상신호의 크기에 따른 전류값을 공급하는 데이터 구동부의 내부 블럭구성을 보인 예시도.

도6은 도5에 있어서, 제2래치로부터 3-bit 디지털 화상신호가 인가되어 단위 화소에서 빛이 8개의 그레이 레벨에 따라 발광되는 경우에 본 발명에 의한 전압-전류 변환부의 회로구성에 대한 제1실시예를 보인 예시도.

도면의 주요부분에 대한 부호의 설명

101: 절연 기판 110: 화소

115: 화상 표시부 120: 게이트 구동부

130: 데이터 구동부 140: 유기 전계발광 표시패널

GL11~GL1m: 게이트 라인 DL11~DL1n: 데이터 라인

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 평판 표시장치의 구동회로에 관한 것으로, 보다 상세하게는 전계발광 표시장치(organic electroluminescence display : OELD)의 데이터 라인들에 디지털 화상신호의 크기에 대응하는 아날로그 전류를 공급하는 평판 표시장치의 구동회로에 관한 것이다.

<13> 일반적으로, 널리 사용되고 있는 표시장치들 중의 하나인 음극선관(cathode ray tube : CRT)은 텔레비전을 비롯해서 계측기기, 정보 단말기기 등의 모니터에 주로 이용되고 있으나, 제품이 갖는 무게와 크기로 인해 전자 제품의 소형화 및 경량화의 요구에 적극 대응할 수 없었다.

<14> 따라서, 상기 음극선관을 대체하기 위해 소형, 경량화 및 저소비전력의 장점을 갖는 액정 표시장치(liquid crystal display : LCD), 플라즈마 표시장치(plasma display panel : PDP), 전계방출 표시장치(field emission display : FED), 그리고 전계발광 표시장치(electroluminescence display : ELD) 등의 다양한 평판 표시장치가 활발하게 연구 및 개발되고 있다.

<15> 상기 평판 표시장치 중에 전계발광 표시장치는 일정한 전기장이 걸리면, 빛이 발생되는 전계발광 현상을 이용하는 표시장치로서, 발광물질에 따라 무기(inorganic) 전계발광 소자와 유기(organic) 전계발광 소자로 구분된다.

<16> 상기 유기 전계발광소자는 청색을 비롯한 가시광선의 빛을 구현할 수 있으므로, 자연색에 근접한 컬러를 표시할 수 있는 표시소자로 주목받고 있으며, 고휘도와 저전력 구동의 특성을 갖는다.

<17> 또한, 자체 발광됨에 따라 콘트라스트비가 크고, 초박형 표시장치의 구현이 가능하며, 제작 공정이 간단하여 환경 오염을 줄일 수 있다.

<18> 그리고, 수 마이크로초(μ s)의 빠른 응답시간을 갖기 때문에 동화상 구현이 용이하고, 시야각의 제한이 없으며, 저온에서도 안정적이다.

<19> 한편, 평판 표시장치에서는 복수의 화소를 매트릭스 형태로 배열하고, 각각의 화소에 구비된 박막 트랜지스터(thin film transistor : TFT)와 같은 스위칭 소자를 통해 화상정보를 각각의 화소에 선택적으로 공급하는 액티브 매트릭스 형태(active matrix type)가 널리 적용되고 있다.

<20> 최근 들어, 다결정 실리콘을 적용한 박막 트랜지스터의 연구개발이 진전됨에 따라 평판 표시장치의 패널에 구동회로를 내장함으로써, 화질 향상 및 제작비용 절감에 유리한 구동회로 일체형 패널이 주목받고 있다.

<21> 그러나, 패널에 내장이 용이한 전압 구동방식의 구동회로는 다결정 실리콘 박막 트랜지스터가 갖는 특성 불균일에 의해 화질이 저하되어 수율이 급격히 떨어지기 때문에 사실상 적용이 어려운 문제를 안고 있다.

<22> 종래 전류 구동방식의 액티브 매트릭스형 유기 전계발광 표시장치에 대해 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<23> 도1은 일반적인 액티브 매트릭스형 유기 전계발광 표시장치의 개략적인 구성을 보인 예시도이다.

<24> 도1을 참조하면, 유기 전계발광 표시패널(40)은 유리 기판(1) 상에 서로 교차되도록 배열된 게이트 라인(GL1~GL_m)들 및 데이터 라인(DL1~DL_n)들과, 그 게이트 라인(GL1~GL_m)들 및 데이터 라인(DL1~DL_n)들이 교차하여 정의되는 매트릭스 형태의 사각형 영역 내에 개별적으로 형성된 화소(10)들을 구비한다.

<25> 상기 화소(10)들은 각각 게이트 라인(GL1~GL_m)들을 통해 인가되는 주사신호에 의해 게이트 라인(GL1~GL_m) 단위로 구동되어 데이터 라인(DL1~DL_n)들을 통해 인가되는 화상신호의 크기에 대응하는 빛을 발생하게 된다.

<26> 따라서, 상기 유기 전계발광 표시패널(40)에는 게이트 라인(GL1~GL_m)들에 주사신호를 인가하는 게이트 구동부(20) 및 상기 데이터 라인(DL1~DL_n)들에 화상신호를 공급하는 데이터 구동부(30)가 별도의 단결정 실리콘 기판상에 제작되어 테이프 캐리어 패키지 (tape carrier package : TCP)와 같은 방식으로 유기 전계발광 표시패널(40)의 유리 기판(1)에 부착된다.

<27> 도2는 상기 데이터 구동부(30)의 내부 블럭구성을 보인 예시도이다.

<28> 도2를 참조하면, 데이터 구동부(30)는 쉬프트 레지스터(shift register, 31)의 제어신호(CS1)를 인가받아 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 순차적으로 샘플링(sampling)하여 저장하는 제1래치(latch, 32)와; 상기 제1래치(32)에 샘플링된 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 인가받아 라인-패스(line pass) 신호(LP)에 의해 동시에 전송하는 제2래치(33)와; 상기 제2래치(33)로부터 전송되는 N-bit 디지털 화상신호

(DIGITAL[R,G,B])를 아날로그 전류값으로 변환하여 유기 전계발광 표시패널(40)의 데이터 라인(DL1~DLn)들에 공급하는 전압-전류 변환부(voltage to current converter, 34)로 구성된다.

<29> 즉, 상기 제1래치(32)는 쉬프트 레지스터(31)의 제어신호(CS1)에 의해 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 순차적으로 샘플링하여 저장하고, 상기 제2래치(33)는 라인-패스 신호(LP)에 의해 상기 제1래치(32)에 저장된 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 동시에 전압-전류 변환부(34)에 공급한다.

<30> 상기 전압-전류 변환부(34)는 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 아날로그 전류값으로 변환하여 유기 전계발광 표시패널(40)의 데이터 라인(DL1~DLn)들에 공급한다

<31> 상기 전압-전류 변환부(34)가 다결정 실리콘의 박막 트랜지스터로 구현될 경우에는 유기 전계발광 표시패널(40)의 유리 기판(1) 상에 내장할 수 있게 된다.

<32> 그러나, 상기 전압-전류 변환부(34)에 전압값으로 인가되는 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 아날로그 전류값으로 변환시키기 위해서는 다결정 실리콘 박막 트랜지스터외에 연산 증폭기(operational amplifier, OP-AMP)나 저항-어레이(array)와 같은 소자들이 적용됨에 따라 전압-전류 변환부(34)를 유리 기판(1) 상에 내장하지 못하고, 데이터 구동부(30)의 다른 구성요소들과 함께 별도의 단결정 실리콘 기판 상에 집적하여 테이프 캐리어 패키지 방식으로 유리 기판(1)에 부착하고 있다.

<33> 전술한 바와같이 상기 전류 구동방식의 데이터 구동부(30)는 별도의 단결정 실리콘 기판상에 제작되어 테이프 캐리어 패키지와 같은 방식으로 유기 전계발광

표시패널(40)의 유리 기판(1)에 부착됨에 따라 제조비용이 높고, 별도의 부착공정이 요구되어 유기 전계발광 표시장치의 제작이 복잡한 문제점이 있었다.

<34> 한편으로, 상기 전압-전류 변환부(34)를 제외한 데이터 구동부(30)의 구성요소들을 유기 전계발광 표시패널(40)의 유리 기판(1)에 내장하여 데이터 구동부(30)에 요구되는 집적회로의 갯수를 줄일 수 있으나, 상기 전압-전류 변환부(34)를 별도의 단결정 실리콘 기판상에 제작하고, 테이프 캐리어 패키지와 같은 방식으로 유기 전계발광 표시패널(40)의 유리 기판(1)에 부착시켜야 함에 따라 근본적인 해결책이 되지 못하는 실정에 있다.

【발명이 이루고자 하는 기술적 과제】

<35> 본 발명은 상기한 바와같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 본 발명의 목적은 전류 구동방식의 데이터 구동부 전체를 전계발광 표시패널에 내장하고, 소비전력을 최소화할 수 있는 평판 표시장치의 구동회로를 제공하는데 있다.

【발명의 구성 및 작용】

<36> 상기 본 발명의 목적을 달성하기 위한 평판 표시장치의 구동회로는 쉬프트 레지스터의 제어신호를 인가받아 N-bit 디지털 화상신호를 순차적으로 샘플링하여 저장하고, 라인-패스 신호에 따라 샘플링된 N-bit 디지털 화상신호를 동시에 출력하는 래치부와; 외부의 기준전류를 전류미러 방식으로 복수의 경로로 분배하고, 상기 래치부로부터 인가되는 N-bit 디지털 화상신호의 논리조합에 따라 상이한 레벨의 전류를 표시패널의 데이터 라인에 공급하는 전압-전류 변환부를 구비하여 구성되는 것을 특징으로 한다.

<37> 상기한 바와같은 본 발명에 의한 평판 표시장치의 구동회로를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

<38> 도3은 본 발명에 의한 평판 표시장치의 구동회로가 유기 전계발광 표시장치에 적용된 제1실시예를 보인 예시도이다.

<39> 도3을 참조하면, 유기 전계발광 표시패널(140)은 유리와 같은 투명한 절연 기판(101) 상에 화상이 표시되는 화상 표시부(115)가 형성된다.

<40> 상기 화상 표시부(115)에는 일정하게 이격되어 횡으로 배열되는 복수의 게이트 라인(GL11~GL1m)들과 일정하게 이격되어 열로 배열되는 복수의 데이터 라인(DL11~DL1n)들이 서로 교차하며, 그 게이트 라인(GL11~GL1m)들과 데이터 라인(DL11~DL1n)들이 교차하여 정의되는 영역 내에 게이트 라인(GL11~GL1m)들 및 데이터 라인(DL11~DL1n)들과 전기적으로 접속되는 화소(110)들이 개별적으로 구비된다.

<41> 상기 화소(110)들은 각각 게이트 라인(GL11~GL1m)들을 통해 인가되는 주사신호에 의해 게이트 라인(GL11~GL1m) 단위로 구동되어 데이터 라인(DL11~DL1n)들을 통해 인가되는 화상신호의 크기에 대응하는 빛을 발생시키게 된다.

<42> 따라서, 상기 유기 전계발광 표시패널(140)에는 게이트 라인(GL11~GL1m)들에 주사신호를 인가하는 게이트 구동부(120) 및 데이터 라인(DL11~DL1n)들에 화상신호를 공급하는 데이터 구동부(130)가 구비된다.

<43> 상기 게이트 구동부(120)는 유기 전계발광 표시패널(140)의 좌측(또는 우측)에 구비되어 상기 게이트 배선(GL11~GL1m)들에 주사신호를 인가한다. 이때, 게이트 구동부(120)는 테이프 캐리어 패키지 방식으로 유기 전계발광 표시패널(140)에 부착되거나 또는 절연 기판(101) 상에 내장될 수 있다.

<44> 한편, 상기 데이터 구동부(130)는 상기 절연 기판(101)의 화상 표시부(115) 상부(또는 하부)에 내장된다.

<45> 도4는 상기 화상 표시부(115)의 단위 화소(110)에 대한 등가회로를 보인 예시도이다.

<46> 도4를 참조하면, 전원전압(VDD)에 소스전극이 각기 접속되고, 게이트전극이 서로 공통접속된 제1, 제2피모스 트랜지스터(PM1,PM2)와; 상기 전원전압(VDD)과 제1, 제2피모스 트랜지스터(PM1,PM2)의 게이트전극 접속점 사이에 접속된 제1커패시터(C1)와; 상기 제1피모스 트랜지스터(PM1)의 드레인전극과 접지(VSS) 사이에 접속된 유기전계발광소자(111)와; 상기 제1, 제2피모스 트랜지스터(PM1,PM2)의 게이트전극 접속점과 상기 제2피모스 트랜지스터(PM2)의 드레인전극 사이에 접속되고, 게이트 라인(GL)에 게이트전극이 접속되어 도통 제어되는 제3피모스 트랜지스터(PM3)와; 상기 제2, 제3피모스 트랜지스터(PM2,PM3)의 드레인전극 접속점과 데이터 라인(DL) 사이에 접속되며, 상기 게이트 라인(GL)에 게이트전극이 접속되어 도통 제어되는 제4피모스 트랜지스터(PM4)로 구성된다.

<47> 상기한 바와같이 구성된 등가회로의 동작을 살펴보면 다음과 같다.

<48> 먼저, 상기 게이트 라인(GL)에 저전위 주사신호가 인가되면, 제3, 제4피모스 트랜지스터(PM3,PM4)가 턴-온(turn-on)된다.

<49> 상기 제3, 제4피모스 트랜지스터(PM3,PM4)가 턴-온되면, 데이터 라인(DL)으로부터 입력되는 화상신호의 크기에 따른 전류값에 의해 상기 전원전압(VDD), 제2, 제4피모스 트랜지스터(PM2,PM4) 및 데이터 라인(DL)으로 이어지는 제1경로를 통해 일정한 전류가 흐르게 된다.

<50> 상기 제1경로를 통해 흐르는 전류값은 전류미러의 원리에 따라 전원전압(VDD), 제1피모스 트랜지스터(PM1), 유기전계발광소자(111) 및 접지(VSS)로 이어지는 제2경로에 동일하게 흐르게 된다.

<51> 따라서, 상기 데이터 라인(DL)의 전류값에 의해 유기전계발광소자(111)로부터 방출되는 빛이 제어된다.

<52> 또한, 상기 전원전압(VDD)과 제1, 제2피모스 트랜지스터(PM1, PM2)의 게이트 접속점 사이에 접속된 제1커패시터(C1)에는 상기 제1경로를 통해 흐르는 전류값에 대응되는 일정한 전압값이 충전된다.

<53> 상기 제1커패시터(C1)에 충전된 전압값은 상기 게이트 라인(GL)이 화상 표시부의 첫번째 라인부터 마지막 라인까지 순차적으로 선택되는 동안 유기전계발광소자(111)로부터 방출되는 빛이 유지되도록 한다.

<54> 즉, 상기 게이트 라인(GL)은 상기 유기전계발광소자(111)들이 매트릭스 형태로 배치된 화상 표시부의 첫번째 라인부터 마지막 라인까지 순차적으로 선택되어 화상 표시부에서 한 프레임의 화상이 표시된다.

<55> 따라서, 첫번째 게이트 라인(GL)의 표시가 종료되면, 첫번째 게이트 라인(GL)의 제3, 제4피모스 트랜지스터(PM3, PM4)가 차단되고, 순차적으로 다음 라인으로부터 마지막 라인이 선택되어 화상을 표시하는데, 이때 상기 제1커패시터(C1)에 충전된 전압값에 따른 전류가 상기 제2경로를 통해 유기전계발광소자(111)에 공급되어 방출되는 빛이 유지되도록 한다.

<56> 도5는 상기 데이터 라인(DL)에 화상신호의 크기에 따른 전류값을 공급하는 데이터 구동부(130)의 내부 블럭구성을 보인 예시도이다.

<57> 도5를 참조하면, 상기 데이터 구동부(130)는 쉬프트 레지스터(131)의 제어신호(CS11)를 인가받아 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 순차적으로 샘플링하여 저장하는 제1래치(132)와; 상기 제1래치(132)에 샘플링된 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 인가받아 라인-패스 신호(LP)에 의해 동시에 전송하는 제2래치(133)와; 상기 제2래치(133)로부터 인가되는 N-bit 디지털 화상신호(DIGITAL[R,G,B])에 따라 외부의 기준전류(I-Ref)를 전류미러 방식으로 N개의 경로로 분배하여 상기 화상 표시부(115)의 데이터 라인(DL)에 공급하는 전압-전류 변환부(134)로 구성된다.

<58> 즉, 상기 제1래치(132)는 쉬프트 레지스터(131)의 제어신호(CS11)에 의해 전압값을 갖는 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 순차적으로 샘플링하여 저장하고, 상기 제2래치(133)는 라인-패스 신호(LP)에 의해 상기 제1래치(132)에 저장된 N-bit 디지털 화상신호(DIGITAL[R,G,B])를 동시에 전압-전류 변환부(134)에 공급한다.

<59> 상기 전압-전류 변환부(134)는 상기 제2래치(133)로부터 인가되는 N-bit 디지털 화상신호(DIGITAL[R,G,B])에 따라 외부의 기준전류(I-Ref)를 전류미러 방식으로 N개의 경로로 분배하여 상기 화상 표시부(115)의 데이터 라인(DL)에 공급한다.

<60> 본 발명에 의한 전압-전류 변환부(134)는 기준전류(I-Ref)를 전류미러 방식으로 분배함에 따라 다결정 실리콘 박막 트랜지스터로 구현할 수 있게 된다. 따라서, 데이터 구동부(130)의 다른 구성요소들과 함께 유기 전계발광 표시패널(140)의 절연 기판(101) 상에 내장할 수 있게 되어 데이터 구동부(130)를 테이프 캐리어 패키지 방식으로 절연 기

판(101)에 부착하는 공정이 별도로 요구되지 않고, 유기 전계발광 표시장치의 제작을 단순화할 수 있게 된다.

<61> 도6은 상기 제2래치(133)로부터 3-bit 디지털 화상신호가 인가되어 단위 화소(110)에서 빛이 8개의 그레이 레벨(gray level)에 따라 발광되는 경우에 본 발명에 의한 전압-전류 변환부(134)의 회로구성에 대한 제1실시예를 보인 예시도이다.

<62> 도6을 참조하면, 전압-전류 변환부(134)는 게이트 전극에 인가되는 인에이블 신호(EN)에 의해 소스전극에 인가되는 기준전류(I-Ref)를 도통 제어하는 제1엔모스 트랜지스터(NM1)와; 상기 제1엔모스 트랜지스터(NM1)의 드레인 전극과 접지(VSS) 사이에 접속되어 상기 제1엔모스 트랜지스터(NM1)가 턴-온될 때, 상기 기준전류(I-ref)가 흐르는 기준 경로(Ref-PATH)를 형성시키는 제2엔모스 트랜지스터(NM2)와; 상기 제1엔모스 트랜지스터(NM1)의 드레인 전극과 상기 제2엔모스 트랜지스터(NM2)의 게이트 전극 사이에 접속되어 게이트 전극에 인가되는 인에이블 신호(EN)에 의해 기준전류(I-Ref)를 도통 제어하는 제3엔모스 트랜지스터(NM3)와; 상기 제3엔모스 트랜지스터(NM3)의 드레인 전극과 접지(VSS) 사이에 접속되어 상기 인에이블 신호(EN)가 인가되는 기간동안 기준전류(I-Ref)를 충전시키는 제2커패시터(C2)와; 상기 제2엔모스 트랜지스터(NM2)의 게이트 전극과 게이트 전극이 공통접속되고, 상기 접지(VSS)에 소스 전극이 접속된 제4엔모스 트랜지스터(NM4)와; 상기 제4엔모스 트랜지스터(NM4)의 드레인 전극과 데이터 라인(DL) 사이에 접속되어 상기 제2래치(133)로부터 게이트 전극에 인가되는 제1비트 화상신호(BIT1)에 의해 도통 제어되어 제1전류(I1)가 흐르는 제1경로(PATH1)를 형성시키는 제5엔모스 트랜지스터(NM5)와; 상기 제2엔모스 트랜지스터(NM2)의 게이트 전극과 게이트 전극이 공통접속되고, 상기 접지(VSS)에 소스 전극이 접속된 제6엔모스 트랜지스터(NM6)와; 상기 제5엔

모스 트랜지스터(NM5)의 드레인 전극과 데이터 라인(DL) 사이에 접속되어 상기 제2래치(133)로부터 게이트 전극에 인가되는 제2비트 화상신호(BIT2)에 의해 도통 제어되어 제2전류(I2)가 흐르는 제2경로(PATH2)를 형성시키는 제7엔모스 트랜지스터(NM7)와; 상기 제2엔모스 트랜지스터(NM2)의 게이트 전극과 게이트 전극이 공통접속되고, 상기 접지(VSS)에 소스 전극이 접속된 제8엔모스 트랜지스터(NM8)와; 상기 제8엔모스 트랜지스터(NM8)의 드레인 전극과 데이터 라인(DL) 사이에 접속되어 상기 제2래치(133)로부터 게이트 전극에 인가되는 제3비트 화상신호(BIT3)에 의해 도통 제어되어 제3전류(I3)가 흐르는 제3경로(PATH3)를 형성시키는 제9엔모스 트랜지스터(NM9)와; 상기 제2엔모스 트랜지스터(NM2) 및 제4엔모스 트랜지스터(NM2)의 공통접속된 게이트 전극과 접지(VSS) 사이에 접속되어 게이트 전극에 인가되는 리셋신호(RST1)에 의해 제2엔모스 트랜지스터(NM2), 제4엔모스 트랜지스터(NM4), 제6엔모스 트랜지스터(NM6) 및 제8엔모스 트랜지스터(NM8)의 게이트 전극을 접지(VSS) 전위로 리셋시키는 제10엔모스 트랜지스터(NM10)로 구성된다.

<63> 상기한 바와같이 구성되는 전압-전류 변환부(134)의 구동에 대해서 상세히 설명하면 다음과 같다.

<64> 먼저, 상기 인에이블 신호(EN)가 제1, 제3엔모스 트랜지스터(NM1, NM3)의 게이트 전극에 고전위로 인가되면, 제1 내지 제3엔모스 트랜지스터(NM1~NM3)가 턠-온되어 제1, 제2엔모스 트랜지스터(NM1, NM2) 및 접지(VSS)로 이어지는 기준경로(Ref-PATH)를 통해 기준전류(I-Ref)가 흐르게 된다.

<65> 상기 제2엔모스 트랜지스터(NM2)의 게이트 전극은 상기 제4, 제6, 제8엔모스 트랜지스터(NM4, NM6, NM8)의 게이트 전극과 공통접속되므로, 상기 제4, 제6, 제8엔모스 트랜지스터(NM4, NM6, NM8)도 턠-온되어 데이터 라인(DL), 제4, 제6, 제8엔모스 트랜지스터

(NM4,NM6,NM8) 및 접지(VSS)로 이어지는 제1 내지 제3경로(PATH1~PATH3)가 병렬방식으로 구성된다.

<66> 상기 제1 내지 제3경로(PATH1~PATH3)는 제2래치(133)로부터 제5, 제7, 제9엔모스 트

랜지스터(NM5,NM7,NM9)의 게이트 전극에 인가되는 제1 내지 제3비트 화상신호(BIT1~BIT3)에 의해 도통 및 차단된다.

<67> 즉, 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)는 논리적으로 '000'으로부터

'111'까지 8개의 조합을 갖게 되며, 그에 따라 상기 제5, 제7, 제9엔모스 트랜지스터(NM5,NM7,NM9)가 턴-온 또는 턴-오프되어 상기 제1 내지 제3경로(PATH1~PATH3)를 통해 흐르는 제1 내지 제3전류(I1~I3)의 흐름을 제어하게 된다.

<68> 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)가 논리적으로 '000'으로부터 '111'까지 8개의 조합을 갖는 경우에 대해서 상세히 살펴보면 다음과 같다. 여기서, 제1비트 화상신호(BIT1)는 최하위 비트로 가정하고, 제3비트 화상신호(BIT3)는 최상위 비트로 가정하여 설명한다.

<69> 먼저, 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)가 논리적으로 '000'의 조합을 갖는 경우에는 상기 제5, 제7, 제9엔모스 트랜지스터(NM5,NM7,NM9)가 턴-오프되므로, 상기 제1 내지 제3경로(PATH1~PATH3)를 통해 제1 내지 제3전류(I1~I3)가 흐르지 않게 된다.

<70> 따라서, 도4를 참조하여 이미 상세히 설명한 바와같이 단위 화소(110)의 유기전계 발광소자(111)에 전류가 흐르지 않게 되므로, 유기전계발광소자(111)로부터 빛이 방출되지 않고 최소 그레이 레벨을 표시하게 된다.

<71> 그리고, 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)가 논리적으로 '001'의 조합을 갖는 경우에는 상기 제5엔모스 트랜지스터(NM5)가 턴-온되고, 상기 제7, 제9엔모스 트랜지스터(NM7, NM9)가 턴-오프되어 제1경로(PATH1)를 통해서 제1전류(I1)가 흐르고, 제2, 제3경로(PATH2, PATH3)를 통해서는 제2, 제3전류(I2, I3)가 흐르지 않게 된다.

<72> 상기 제1경로(PATH1)를 통해서 흐르는 제1전류(I1)는 상기 제2엔모스 트랜지스터(NM2)와 제4엔모스 트랜지스터(NM4)가 동일한 특성을 갖는 경우에 전류미러 원리에 따라 기준경로(Ref-PATH)를 통해 흐르는 기준전류(I-Ref)와 동일한 전류값을 갖게 된다.

<73> 그러나, 본 발명의 제1실시예에 따른 전압-전류 변환부(134)에서는 상기 제2엔모스 트랜지스터(NM2)의 채널 폭/길이(W/L)비를 제4엔모스 트랜지스터(NM4)의 채널 폭/길이비에 비해 7배 크게 구성함으로써, 기준경로(Ref-PATH)를 통해 흐르는 기준전류(I-Ref)를 7mA로 가정할 경우에 제1경로를 통해 흐르는 제1전류(I1)는 1mA가 흐르도록 하는 것이 바람직하다.

<74> 따라서, 상기 화상 표시부(115)의 데이터 라인(DL)에 1mA의 전류가 흐르게 되어 도 4의 유기전계발광소자(111)로부터 제1 내지 제3비트 화상신호(BIT1~BIT3)의 '001' 조합에 따른 그레이 레벨의 빛이 방출된다.

<75> 그리고, 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)가 논리적으로 '010'의 조합을 갖는 경우에는 상기 제7엔모스 트랜지스터(NM7)가 턴-온되고, 상기 제5, 제9엔모스 트랜지스터(NM5, NM9)가 턴-오프되어 제2경로(PATH2)를 통해서 제2전류(I2)가 흐르고, 제1, 제3경로(PATH1, PATH3)를 통해서는 제1, 제3전류(I1, I3)가 흐르지 않게 된다.

<76> 상기 제2경로(PATH2)를 통해서 흐르는 제2전류(I2)는 전술한 바와같이 상기 제2엔모스 트랜지스터(NM2)와 제6엔모스 트랜지스터(NM6)가 동일한 특성을 갖는 경우에 전류 미러 원리에 따라 기준경로(Ref-PATH)를 통해 흐르는 기준전류(I-Ref)와 동일한 전류값을 갖게 된다.

<77> 그러나, 본 발명의 제1실시예에 따른 전압-전류 변환부(134)에서는 상기 제6엔모스 트랜지스터(NM6)의 채널 폭/길이비를 제4엔모스 트랜지스터(NM4)의 채널 폭/길이(W/L)비에 비해 2배 크게 구성함으로써, 기준경로(Ref-PATH)를 통해 흐르는 기준전류(I-Ref)를 7mA로 가정할 경우에 제2경로를 통해 흐르는 제2전류(I2)는 2mA가 흐르도록 하는 것이 바람직하다.

<78> 따라서, 상기 화상 표시부(115)의 데이터 라인(DL)에 2mA의 전류가 흐르게 되어 도4의 유기전계발광소자(111)로부터 제1 내지 제3비트 화상신호(BIT1~BIT3)의 '010' 조합에 따른 그레이 톤-온-오프되는 화상신호가 출력된다.

<79> 그리고, 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)가 논리적으로 '011'의 조합을 갖는 경우에는 상기 제5, 제7엔모스 트랜지스터(NM5, NM7)가 톤-온되고, 상기 제9엔모스 트랜지스터(NM9)가 톤-오프되어 제1, 제2경로(PATH1, PATH2)를 통해서 제1, 제2전류(I1, I2)가 흐르고, 제3경로(PATH3)를 통해서는 제3전류(I3)가 흐르지 않게 된다.

<80> 전술한 바와같이 상기 제1경로(PATH1)를 통해서는 1mA의 전류가 흐르고, 제2경로(PATH2)를 통해서는 2mA의 전류가 흐르므로, 상기 화상 표시부(115)의 데이터 라인(DL)에 3mA의 전류가 흐르게 되어 도4의 유기전계발광소자(111)로부터 제1 내지 제3비트 화상신호(BIT1~BIT3)의 '011' 조합에 따른 그레이 톤-온-오프되는 화상신호가 출력된다.

<81> 그리고, 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)가 논리적으로 '100'의 조합을 갖는 경우에는 상기 제9엔모스 트랜지스터(NM9)가 턠-온되고, 상기 제5, 제7엔모스 트랜지스터(NM5, NM7)가 턠-오프되어 제3경로(PATH3)를 통해서 제3전류(I3)가 흐르고, 제1, 제2경로(PATH1, PATH2)를 통해서는 제1, 제2전류(I1, I2)가 흐르지 않게 된다.

<82> 상기 제3경로(PATH3)를 통해서 흐르는 제3전류(I3)는 전술한 바와같이 상기 제2엔모스 트랜지스터(NM2)와 제8엔모스 트랜지스터(NM8)가 동일한 특성을 갖는 경우에 전류 미러 원리에 따라 기준경로(Ref-PATH)를 통해 흐르는 기준전류(I-Ref)와 동일한 전류값을 갖게 된다.

<83> 그러나, 본 발명의 제1실시예에 따른 전압-전류 변환부(134)에서는 상기 제8엔모스 트랜지스터(NM8)의 채널 폭/길이비를 제4엔모스 트랜지스터(NM4)의 채널 폭/길이(W/L)비에 비해 4배 크게 구성함으로써, 기준경로(Ref-PATH)를 통해 흐르는 기준전류(I-Ref)를 7mA로 가정할 경우에 제3경로를 통해 흐르는 제3전류(I3)는 4mA가 흐르도록 하는 것이 바람직하다.

<84> 따라서, 상기 화상 표시부(115)의 데이터 라인(DL)에 4mA의 전류가 흐르게 되어 도4의 유기전계발광소자(111)로부터 제1 내지 제3비트 화상신호(BIT1~BIT3)의 '100' 조합에 따른 그레이 레벨의 빛이 방출된다.

<85> 그리고, 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)가 논리적으로 '101'의 조합을 갖는 경우에는 상기 제5, 제9엔모스 트랜지스터(NM5, NM9)가 턠-온되고, 상기 제7엔모스 트랜지스터(NM7)가 턠-오프되어 제1, 제3경로(PATH1, PATH3)를 통해서 제1, 제3전류(I1, I3)가 흐르고, 제2경로(PATH2)를 통해서는 제2전류(I2)가 흐르지 않게 된다.

<86> 전술한 바와같이 상기 제1경로(PATH1)를 통해서는 1mA의 전류가 흐르고, 제3경로 (PATH3)를 통해서는 4mA의 전류가 흐르므로, 상기 화상 표시부(115)의 데이터 라인(DL)에 5mA의 전류가 흐르게 되어 도4의 유기전계발광소자(111)로부터 제1 내지 제3비트 화상신호(BIT1~BIT3)의 '101' 조합에 따른 그레이 레벨의 빛이 방출된다.

<87> 그리고, 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)가 논리적으로 '110'의 조합을 갖는 경우에는 상기 제7, 제9엔모스 트랜지스터(NM7, NM9)가 턴-온되고, 상기 제5엔모스 트랜지스터(NM5)가 턴-오프되어 제2, 제3경로(PATH2, PATH3)를 통해서 제2, 제3전류(I2, I3)가 흐르고, 제1경로(PATH1)를 통해서는 제1전류(I1)가 흐르지 않게 된다.

<88> 전술한 바와같이 상기 제2경로(PATH2)를 통해서는 2mA의 전류가 흐르고, 제3경로 (PATH3)를 통해서는 4mA의 전류가 흐르므로, 상기 화상 표시부(115)의 데이터 라인(DL)에 6mA의 전류가 흐르게 되어 도4의 유기전계발광소자(111)로부터 제1 내지 제3비트 화상신호(BIT1~BIT3)의 '110' 조합에 따른 그레이 레벨의 빛이 방출된다.

<89> 그리고, 상기 제1 내지 제3비트 화상신호(BIT1~BIT3)가 논리적으로 '111'의 조합을 갖는 경우에는 상기 제5, 제7, 제9엔모스 트랜지스터(NM5, NM7, NM9)가 턴-온되므로, 상기 제1 내지 제3경로(PATH1~PATH3)를 통해 제1 내지 제3전류(I1~I3)가 흐르게 된다.

<90> 전술한 바와같이 상기 제1 내지 제3경로(PATH1~PATH3)를 통해서 각각 1mA, 2mA 및 4mA의 전류가 흐르므로, 상기 화상 표시부(115)의 데이터 라인(DL)에 7mA의 전류가 흐르게 되어 도4의 유기전계발광소자(111)로부터 제1 내지 제3비트 화상신호(BIT1~BIT3)의 '111' 조합에 따른 최대 그레이 레벨의 빛이 방출된다.

<91> 한편, 상기 인에이블 신호(EN)가 고전위로 인가되어 상기 제3엔모스 트랜지스터(NM3)가 턴-온되면, 상기 기준전류(I-Ref)가 제3엔모스 트랜지스터(NM3)를 통해 제2커패시터(C2)에 충전됨에 따라 상기 인에이블 신호(EN)가 저전위로 천이된 후에도 상기 기준경로(Ref-PATH)를 통해 흐르는 기준전류(I-Ref)가 유지되도록 한다. 따라서, 외부에서 공급되는 기준전류(I-Ref)는 상기 인에이블 신호(EN)가 고전위로 인가되는 구간동안 반복적으로 상기 제2커패시터(C2)에 충전되기 때문에 기준전류(I-Ref)를 공급하는 전류지원의 갯수를 증가시킬 경우에 충전시간이 부족하지 않게 되며, 전력소모를 현저히 감소시킬 수 있게 된다.

<92> 또한, 컬러화상을 구현하기 위하여 기준전류(I-Ref)를 적색, 녹색 및 청색 화소에 독립적으로 공급하는 경우에 기준전류(I-Ref)의 레벨을 개별적으로 조절할 수 있게 된다.

<93> 한편, 상기 제10엔모스 트랜지스터(NM10)의 게이트 전극에 인가되는 리셋신호(RST)는 주기적으로 제2, 제4, 제6, 제8엔모스 트랜지스터(NM2, NM4, NM6, NM8)의 게이트 전극을 접지(VSS) 전위로 리셋시킨다.

<94> 상술한 바와같이 본 발명의 제1실시예에 따른 전압-전류 변환부(134)는 제2엔모스 트랜지스터(NM2)와 채널 폭/길이비가 각각 다르게 구비된 제4, 제6, 제8엔모스 트랜지스터(NM4, NM6, NM8)를 통해 제1 내지 제3경로(PATH1~PATH3)의 조합으로 제1 내지 제3비트 화상신호(BIT1~BIT3)의 논리조합에 대하여 서로 다른 전류값을 화상 표시부(115)의 데이터라인(DL)에 공급하였다.

<95> 그러나, 본 발명의 제1실시예를 응용한다면, 제2엔모스 트랜지스터(NM2)에 비해 채널 폭/길이비가 7배 작은 7개의 엔모스 트랜지스터를 통해 7개의 경로로 제1 내지 제3비

트 화상신호(BIT1~BIT3)의 논리조합에 대하여 서로 다른 전류값을 화상 표시부(115)의 데이터 라인(DL)에 공급할 수 있다.

<96> 또한, 상기 인에이블 신호(EN), 제1 내지 제3비트 화상신호(BIT1~BIT3) 및 리셋신호(RST)가 게이트 전극에 인가되는 제1, 제3, 제5, 제7, 제9, 제10엔모스 트랜지스터(NM1, NM3, NM5, NM7, NM9, NM10)들은 제어신호에 의해 전기신호를 도통 제어할 수 있는 3단자의 전기적 스위칭소자들이 적용될 수 있다.

【발명의 효과】

<97> 전술한 바와같이 본 발명에 의한 평판 표시장치의 구동회로는 전압-전류 변환부를 다결정 실리콘 박막 트랜지스터로 구현하고, 기준전류를 전류미리 방식으로 분배함에 따라 데이터 구동부의 다른 구성요소들과 함께 표시패널에 내장할 수 있게 되어 종래에서 와 같이 데이터 구동부를 테이프 캐리어 패키지 방식으로 표시패널에 부착하는 공정이 별도로 요구되지 않고, 유기 전계발광 표시장치의 제작을 단순화할 수 있게 된다.

<98> 따라서, 평판 표시장치의 제조비용을 감소시킬 수 있는 효과가 있다.

<99> 또한, 전류 구동방식을 채택하였으므로, 다결정 실리콘 박막 트랜지스터의 특성 불균일에 의해 화질이 저하되는 것을 방지하여 수율을 향상시킬 수 있는 효과가 있다.

<100> 그리고, 외부에서 공급되는 기준전류가 반복적으로 충전되기 때문에 기준전류를 공급하는 전류전원의 갯수를 증가시킬 경우에 충전시간이 부족하지 않게 되며, 전력소모를 현저히 감소시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

복수의 비트수를 갖는 디지털 화상신호를 쉬프트 레지스터의 제어신호에 따라 순차적으로 샘플링하여 저장하고, 외부의 제어신호에 따라 샘플링된 디지털 화상신호를 동시에 출력하는 래치부와; 외부의 기준전류를 전류미러 방식으로 복수의 경로로 분배하고, 상기 래치부로부터 인가되는 디지털 화상신호에 따라 상이한 레벨의 전류를 표시패널의 데이터 라인에 공급하는 전압-전류 변환부를 구비하여 구성되는 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 2】

제 1 항에 있어서, 상기 래치부는 쉬프트 레지스터의 제어신호를 인가받아 복수의 비트수를 갖는 디지털 화상신호를 순차적으로 샘플링하여 저장하는 제1래치부와; 상기 제1래치부에서 샘플링된 디지털 화상신호를 외부의 라인-패스 신호에 따라 동시에 출력하는 제2래치부로 구성되는 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 3】

제 1 항에 있어서, 상기 쉬프트 레지스터, 래치부 및 전압-전류 변환부는 상기 표시패널에 내장된 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 4】

제 1 항에 있어서, 상기 표시패널은 유기 전계발광 표시패널인 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 5】

제 1 항에 있어서, 상기 전압-전류 변환부는 인에이블 신호에 의해 기준전류의 도통을 제어하는 제1스위칭부와; 상기 제1스위칭부에 접속되어 상기 인에이블 신호에 의해 기준전류의 도통을 제어하는 제2스위칭부와; 상기 제2스위칭부로부터 기준전류를 게이트 전극에 인가받아 상기 제1스위칭부와 접지 사이에 기준전류가 흐르는 기준 경로를 형성시키는 제1엔모스 트랜지스터와; 상기 제2스위칭부로부터 기준전류를 각각의 게이트 전극에 인가받아 표시패널의 데이터 라인과 접지사이에 복수의 비트수를 갖는 화상신호에 따라 복수의 전류경로를 병렬로 형성시키는 복수의 엔모스 트랜지스터와; 상기 복수의 비트수를 갖는 화상신호를 개별적으로 인가받아 상기 복수의 전류경로를 도통 및 차단시키는 복수의 스위칭부를 구비하여 구성되는 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 6】

제 5 항에 있어서, 상기 제1엔모스 트랜지스터 및 복수의 엔모스 트랜지스터는 다결정 실리콘 박막 트랜지스터로 구성된 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 7】

제 5 항에 있어서, 상기 제1스위칭부, 제2스위칭부 및 복수의 스위칭부는 엔모스 트랜지스터로 구성된 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 8】

제 7 항에 있어서, 상기 엔모스 트랜지스터는 다결정 실리콘 박막 트랜지스터로 구성된 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 9】

제 5 항에 있어서, 상기 제2스위칭부와 접지 사이에 접속되어 기준전류를 충전시키는 커패시터를 더 구비하여 구성되는 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 10】

제 5 항에 있어서, 상기 기준 경로를 형성시키는 제1엔모스 트랜지스터와 복수의 전류경로를 병렬로 형성시키는 복수의 엔모스 트랜지스터의 게이트 전극을 리셋신호에 의해 접지 전위로 리셋시키는 엔모스 트랜지스터를 더 구비하여 구성되는 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 11】

제 5 항에 있어서, 상기 복수의 경로는 상기 화상신호의 복수의 비트수와 동일하게 구성되는 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 12】

제 5 항에 있어서, 상기 복수의 경로는 상기 화상신호의 복수의 비트수의 논리조합 갯수와 동일하게 구성되는 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 13】

제 5 항에 있어서, 상기 제1엔모스 트랜지스터의 채널 폭/길이비는 복수의 엔모스 트랜지스터의 채널 폭/길이비와 다르게 구성된 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 14】

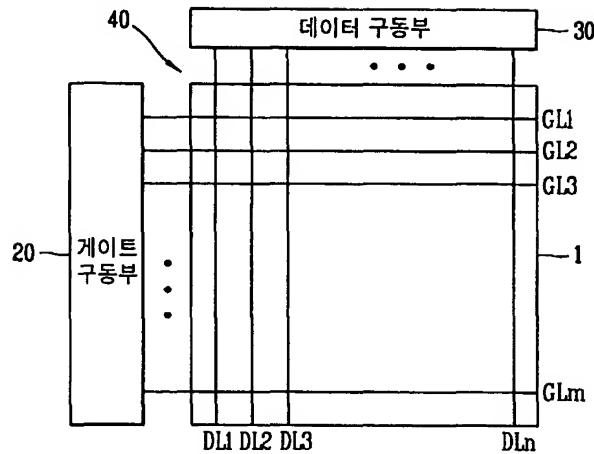
제 13 항에 있어서, 상기 복수의 엔모스 트랜지스터의 채널 폭/길이비는 서로 다르게 구성된 것을 특징으로 하는 평판 표시장치의 구동회로.

【청구항 15】

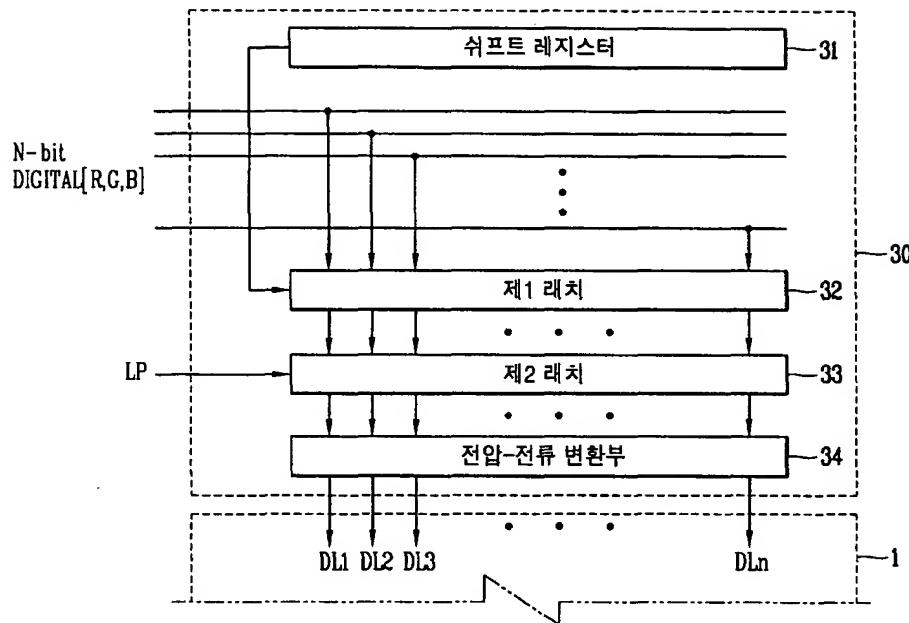
제 13 항에 있어서, 상기 복수의 엔모스 트랜지스터의 채널 폭/길이비는 서로 동일하게 구성된 것을 특징으로 하는 평판 표시장치의 구동회로.

【도면】

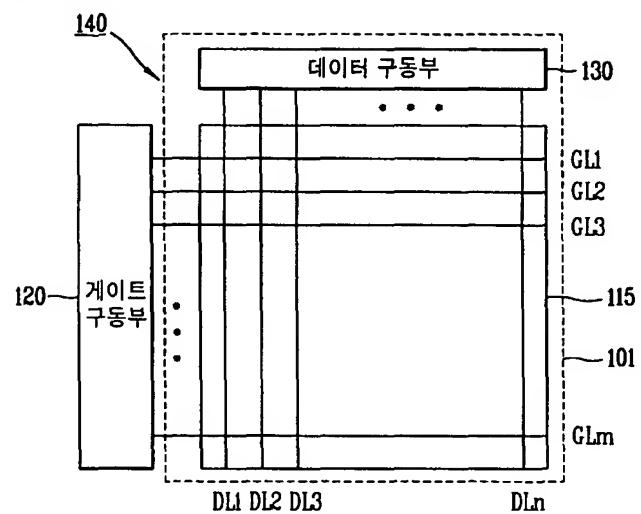
【도 1】



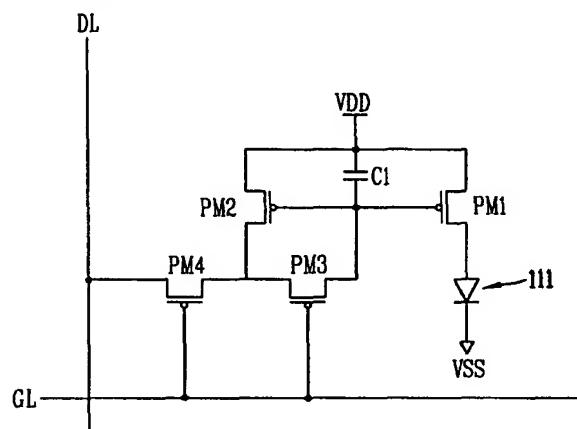
【도 2】



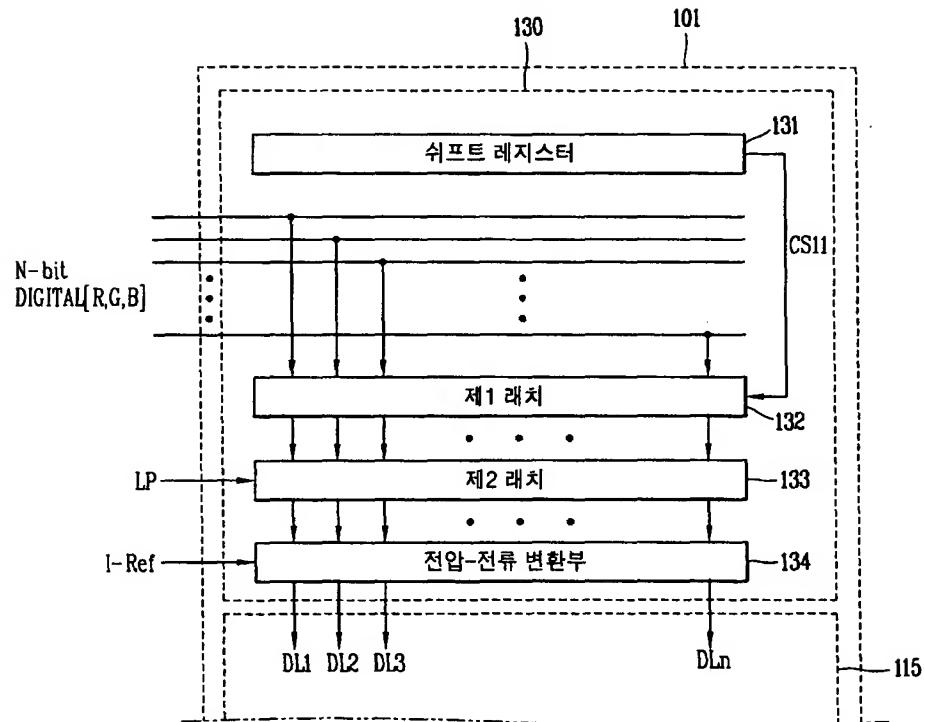
【도 3】



【도 4】



【도 5】



【도 6】

